

2. Übungsblatt

Grundlagen der Anwendungsunterstützung

Christine Jakobs und Laura Morgenstern

Aufgabe 1

Wie viele Funktionen der Art $\mathcal{B}^2 \rightarrow \mathcal{B}$ gibt es ($\mathcal{B} = \{0, 1\}$)?

Aufgabe 2 (Zusatzaufgabe)

Die boolesche Algebra über $\mathcal{B} = \{0, 1\}$ ist durch folgende Axiome definiert:

Assoziativität	$(a \wedge b) \wedge c = a \wedge (b \wedge c)$	$(a \vee b) \vee c = a \vee (b \vee c)$
Kommutativität	$a \wedge b = b \wedge a$	$a \vee b = b \vee a$
Distributivität	$a \wedge (b \vee c) = a \wedge b \vee a \wedge c$	$a \vee (b \wedge c) = (a \vee b) \wedge (a \vee c)$
Neutralität	$a \wedge 1 = a$	$a \vee 0 = a$
Komplementärheit	$a \wedge \neg a = 0$	$a \vee \neg a = 1$

Leiten Sie aus diesen Axiomen die folgenden Gesetze ab:

- Extremalgesetz: $a \wedge 0 = 0$
- Idempotenzgesetz: $a \wedge a = a$
- Absorptionsgesetz: $a \wedge (a \vee b) = a$
- Dualitätsgesetz: $\neg 0 = 1$

Aufgabe 3

a) Stellen Sie die KNF und die DNF der booleschen Funktion mit folgender Wertetabelle auf.

a	0	1	0	1	0	1	0	1	0	1	0	1	0	1
b	0	0	1	1	0	0	1	1	0	0	1	1	0	1
c	0	0	0	0	1	1	1	1	0	0	0	0	1	1
d	0	0	0	0	0	0	0	0	1	1	1	1	1	1
f	0	0	0	0	0	0	1	0	0	1	0	1	0	1

- Vereinfachen Sie diese Funktion durch Anwendung der booleschen Algebra.
- Skizzieren Sie eine Schaltung nach DIN/EIC, die die vereinfachte Gleichung realisiert.

- d) Jedes Gatter benötige 10 ns bis sich eine Änderung an den Eingängen am Ausgang auswirkt. Wie lang muss bei der obigen Schaltung mindestens gewartet werden, bis ein gültiges Ergebnis anliegt?

Aufgabe 4

- a) Tragen Sie folgende Funktionen in ein Karnaugh-Diagramm ein und leiten Sie daraus eine minimale DNF und KNF für f und g ab.

a	0	1	0	1	0	1	0	1	0	1	0	1	0	1
b	0	0	1	1	0	0	1	1	0	0	1	1	0	0
c	0	0	0	0	1	1	1	1	0	0	0	0	1	1
d	0	0	0	0	0	0	0	0	1	1	1	1	1	1
f	0	0	1	1	0	1	0	1	0	0	0	1	0	1
g	1	0	1	1	1	1	0	0	1	0	1	0	1	0

- b) Realisieren Sie die DNF und die KNF durch AND-, OR- und Negations-Gatter.
 c) Realisieren Sie die DNF ausschließlich durch NAND-Bausteine und die KNF ausschließlich durch NOR-Bausteine.

Aufgabe 5

Gegeben sei das logisch vollständige Funktionensystem $\Omega_1 = \{\text{NOR}\}$. Zeigen Sie durch Reduktion auf Ω_1 , dass das Funktionensystem $\Omega_2 = \{1, \wedge, \oplus\}$ ebenfalls logisch vollständig ist.

Aufgabe 6

Wir betrachten einen 8-Bit-Addierer, der entsprechend dem Schema der Folien 2-50 bis 2-52 der Vorlesung aufgebaut ist. Gatter vom Typ AND und OR benötigen 10 ns bis sich eine Änderung an den Eingängen auf den Ausgang auswirkt. Für XOR-Gatter beträgt die Verzögerungszeit 40 ns. Wie lang muss mindestens gewartet werden, bis an allen Ausgängen des 8-Bit-Addierers ein gültiges Ergebnis anliegt? Unter welchen Umständen tritt diese maximale Verzögerungszeit ein?

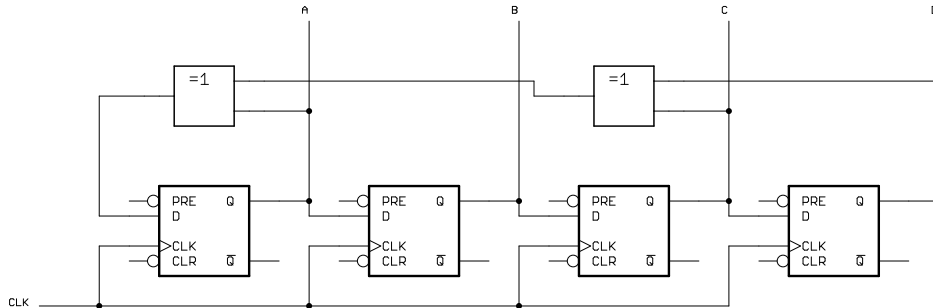
Aufgabe 7

Entwerfen Sie eine Schaltungslogik, die einen „Umschalter“ realisiert. Die Schaltung soll vier Eingänge (A bis D), zwei Steuereingänge (S_0 und S_1) und einen Ausgang O besitzen. Mittels der Steuereingänge wird ein Eingang ausgewählt, dessen Signal dann am Ausgang der Schaltlogik erscheinen soll. Die folgende Tabelle gibt die Zuordnung der Steuereingsbelegung zur „Schalterstellung“ der Logik wieder.

S_1	S_0	O
0	0	A
0	1	B
1	0	C
1	1	D

Aufgabe 8

Betrachten Sie das rückgekoppelte Schieberegister in folgender Schaltung.



Die D-Flipflops sind so initialisiert, dass zu Beginn ein 1-Pegel an *A* anliegt und ein 0-Pegel an allen anderen Flipflop-Ausgängen. Über die Taktleitung werden nun 8 Taktpulse eingespeist. Stellen Sie den zeitlichen Verlauf der Signale *A* bis *D* nach jedem Takt dar.

Aufgabe 9 (Zusatzaufgabe)

Ein T-Flipflop besitzt (neben einem asynchronen Reset-Eingang *R* und dem Takt-Eingang *C*) einen Eingang *T* und einen Ausgang *Q*. Liegt während einer steigenden Taktflanke ein 1-Pegel an *T* an, wechselt *Q* seinen Zustand. Liegt bei steigenden Taktflanke an *T* ein 0-Pegel an, behält *Q* seinen Pegel.

<i>R</i>	<i>T</i>	<i>C</i>	<i>Q</i> _{alt}	<i>Q</i> _{neu}
1	–	–	–	0
0	0	┘	0	0
0	0	┘	1	1
0	1	┘	0	1
0	1	┘	1	0

Realisieren Sie ein T-Flipflop mittels eines taktflankengesteuerten D-Flipflops und einer kombinatorischen Logik, die aus *T* und *Q*_{alt} die Eingabe für das D-Flipflop berechnet.

Aufgabe 10 (Zusatzaufgabe)

Minimieren Sie die booleschen Funktionen f_1 bis f_7 mittels Karnaugh-Plan und leiten Sie die Gatterschaltung ab.

a	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
b	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
c	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
d	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
f_1	1	1	1	1	1	0	0	1	1	1	1	0	0	1	0	0
f_2	1	1	0	1	1	1	1	1	1	1	1	1	0	1	0	0
f_3	0	0	1	1	0	1	1	0	1	1	1	1	1	1	1	0
f_4	1	0	1	0	0	0	1	0	1	0	1	1	1	1	1	1
f_5	1	0	0	0	1	1	1	1	1	1	1	1	0	0	1	1
f_6	1	0	1	1	0	1	1	1	1	1	1	0	0	0	1	1
f_7	1	0	1	1	1	1	1	0	1	1	0	1	1	1	1	1